

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-233134

(43)Date of publication of application : 05.09.1997

(51)Int.Cl.

H04L 27/00

H04L 7/00

H04L 27/22

(21)Application number : 08-039205

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 27.02.1996

(72)Inventor : ISHIZU FUMIO

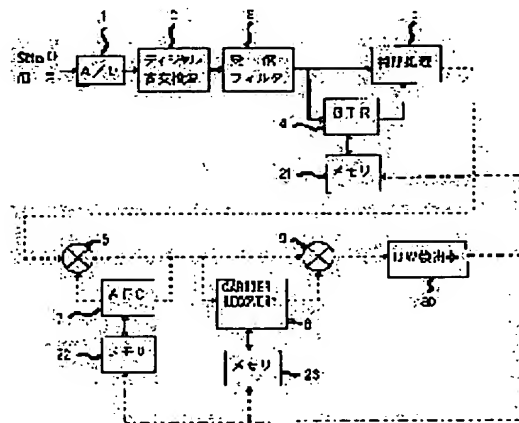
(54) DEMODULATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To establish synchronization at a high speed by using each estimate circuit for bit timing, automatic frequency and carrier phase even when no signal is received due to occurrence of fading or blockage or the like.

SOLUTION: Reception sections 1, 2, 3 receive a communication signal including prescribed information outputted from a modulator. Correction parameter output sections 4, 7, 8 provide the output of a correction parameter based on the communication signal. Demodulation information output sections 5, 6, 9 output demodulation information based on the communication signal and the correction parameter.

Then a detection section 30 detects whether or not prescribed information is included in demodulated information and when the prescribed information is detected, a 1st signal is outputted and when not detected, a 2nd signal is outputted by the detection section 30. Furthermore, storage sections 21, 22, 23 store the correction parameter when the 1st signal is received and output to the stored correction parameter output sections 4, 7, 8 when the 2nd signal is received.



LEGAL STATUS

[Date of request for examination] 22.11.1999

[Date of sending the examiner's decision of rejection]

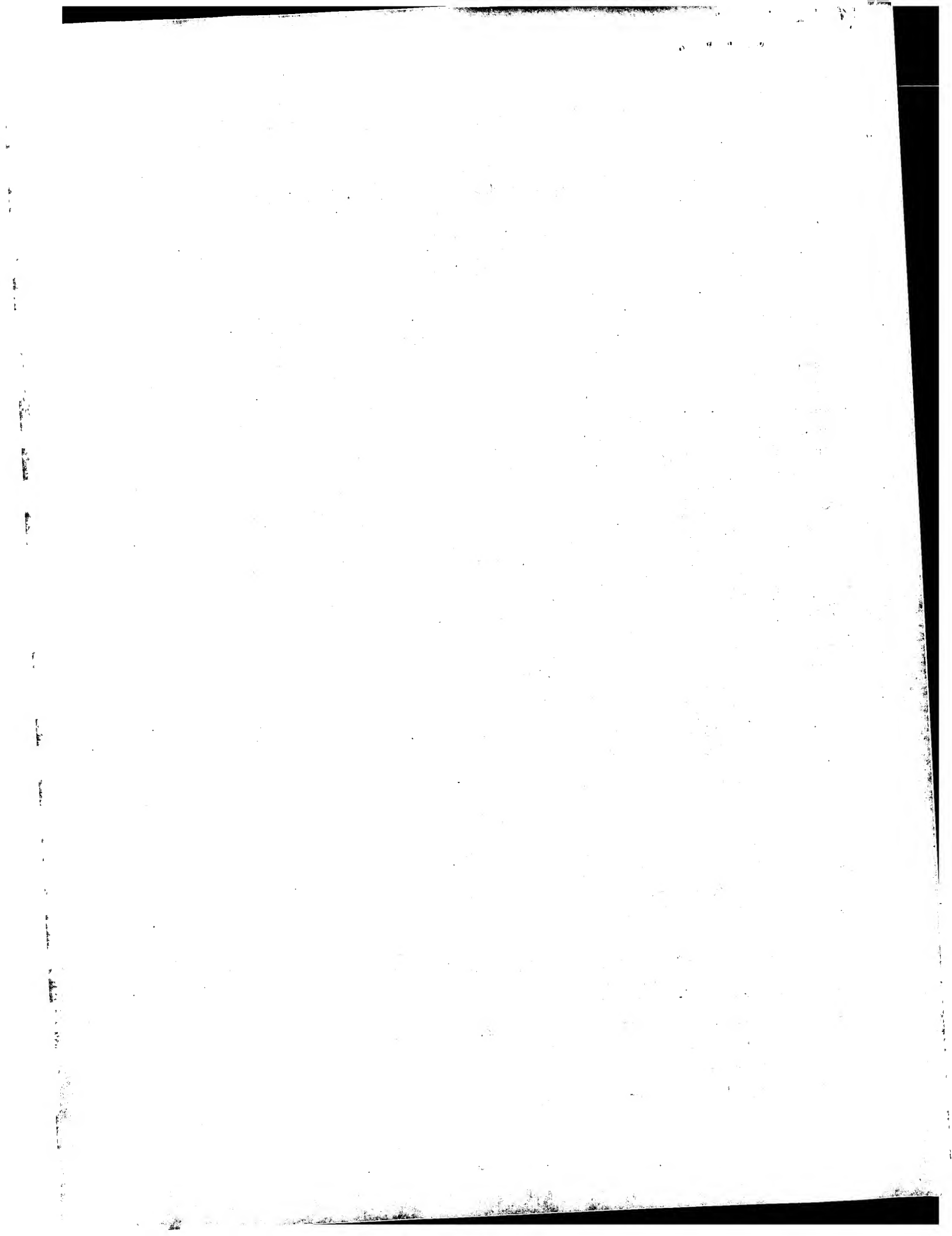
[Kind of final disposal of application other than abandonment
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application] 23.05.2001

[Patent number]

[Date of registration]

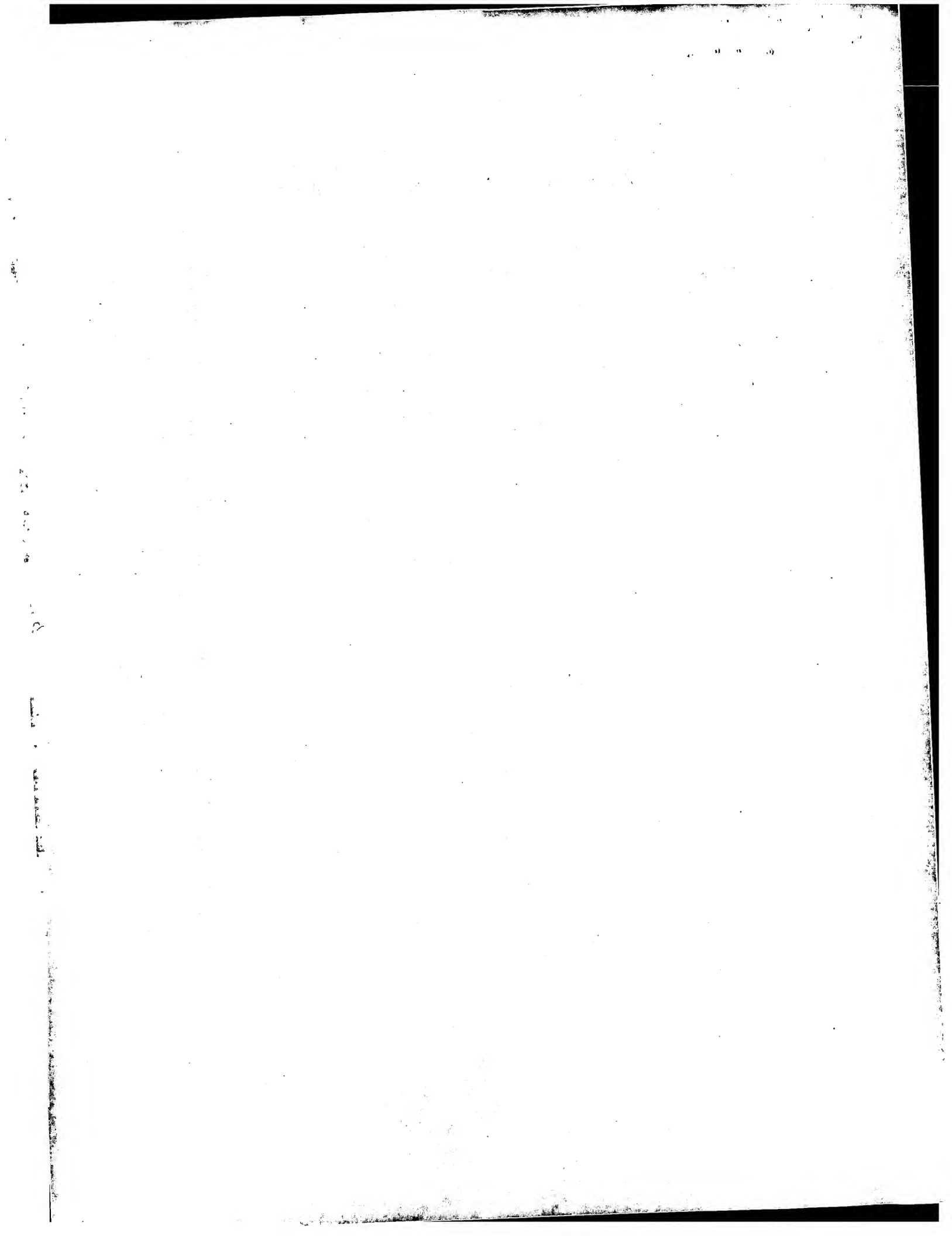
[Number of appeal against examiner's decision of rejection]



[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-233134

(43) 公開日 平成9年(1997)9月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L	27/00		H 0 4 L 27/00	C
	7/00		7/00	F
	27/22		27/22	F

審査請求 未請求 請求項の数6 O L (全 16 頁)

(21) 出願番号 特願平8-39205

(22) 出願日 平成8年(1996)2月27日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 石津 文雄

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

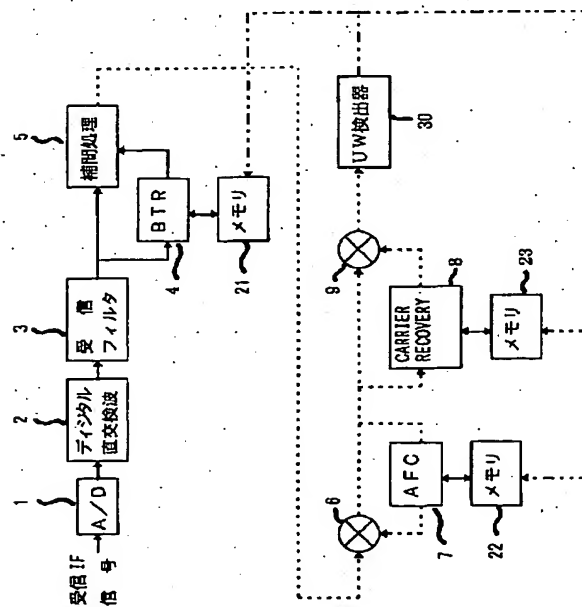
(74) 代理人 弁理士 宮田 金雄 (外3名)

(54) 【発明の名称】 復調器

(57) 【要約】

【課題】 従来の復調器では、フェージングやブロッケージなどが生じて信号が入力されなくなると、同期を再び確立するまでに時間がかかったり、時には同期を取ることができなかった。

【解決手段】 本発明の復調器は、変調器から出力された所定情報を含む通信信号を受信する受信部と、この受信部に接続され、補正パラメータを出力する補正パラメータ出力部と、受信部及び補正パラメータ出力部に接続され、復調情報を出力する復調情報出力部と、この復調情報出力部に接続され、出力された復調情報に所定情報が含まれている場合には、第一の信号を出力し、含まれていない場合には、第二の信号を出力する検出部と、この検出部に接続され、検出部から第一の信号が入力された場合には、補正パラメータが記憶され、検出部から第二の信号が入力された場合には、記憶されている補正パラメータを出力する記憶部と、を備えるものである。



【特許請求の範囲】

【請求項1】変調器から出力された所定情報を含む通信信号を受信する受信部と、上記受信部に接続され、上記通信信号に基づき、補正パラメータを出力する補正パラメータ出力部と、上記受信部及び補正パラメータ出力部に接続され、上記通信信号及び上記補正パラメータに基づき、復調情報を出力する復調情報出力部と、上記復調情報出力部に接続され、上記復調情報に上記所定情報が含まれるか否かを検出し、上記所定情報が検出された場合には、第一の信号を出力し、上記所定情報が検出されない場合には、第二の信号を出力する検出部と、上記検出部に接続され、上記第一の信号が入力された場合には、上記補正パラメータ出力部から出力される補正パラメータが記憶され、上記第二の信号が入力された場合には、記憶されている補正パラメータを上記補正パラメータ出力部へ出力する記憶部と、を備えることを特徴とする復調器。

【請求項2】補正パラメータ出力部は、検出部及び記憶部に接続され、上記検出部から連続して第二の信号が入力された場合、上記記憶部から入力された補正パラメータを出力し、上記検出部から第一の信号が出力された場合、受信部から入力された通信信号に基づき、補正パラメータを出力することを特徴とする請求項1に記載の復調器。

【請求項3】検出部に接続され、上記検出部から連続して第二の信号が入力された場合に、リセット信号を出力するリセット信号出力部を備えたことを特徴とする請求項1又は2に記載の復調器。

【請求項4】補正パラメータは、通信信号の処理タイミングを制御するためのパラメータ、周波数を制御するためのパラメータ、搬送波を制御するためのパラメータ、及び利得を制御するためのパラメータの少なくともひとつとした請求項1～3のいずれかに記載の復調器。

【請求項5】所定情報は、変調器から出力された信号に、周期的に挿入された既知の情報である請求項1～4のいずれかに記載の復調器。

【請求項6】変調器から出力された通信信号を受信する受信部と、上記受信部に接続され、上記通信信号に基づき、補正パラメータを出力する補正パラメータ出力部と、上記受信部及び補正パラメータ出力部に接続され、上記通信信号及び上記補正パラメータに基づき、復調情報を出力する復調情報出力部と、上記受信部に接続され、上記通信信号の受信レベルが高い場合には、第一の信号が出力され、上記復調情報の受信レベルが低い場合には、第二の信号が出力されるレベル信号出力部と、上記レベル信号出力部に接続され、上記第一の信号が入力された場合には、上記補正パラメータ出力部から出力される補正パラメータが記憶され、上記第二の信号が入力された場合には、記憶されている補正パラメータを上記補正パラメータ出力部へ出力する記憶部と、を備えるこ

とを特徴とする復調器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、衛星通信、移動体通信、移動体衛星通信で用いられる受信機の復調器に関するものであり、特に、一旦受信不能になった後に、再度受信可能になった時に、正常な受信処理が行えるようになるまでの時間を短縮することができる復調器に関するものである。

【0002】

【従来の技術】復調器の従来例としては、文献「“A New Coherent Demodulation Technique for Land-Mobile Satellite Communications”、International Mobile Satellite Conference、Ottawa、pp622-627、1990。」に示されたものがあり、これを図7に示す。図7において、1はアナログデジタル変換器（以下A/D変換器と称する）であり、受信部のひとつを構成する。このA/D変換器1は、中間周波数信号（Intermediate Frequency信号、以下IF信号と称する）が入力され、このIF信号をA/D変換し、出力する。

【0003】2はデジタル直交検波回路であり、これも受信部のひとつを構成する。このデジタル直交検波回路2は、A/D変換器1に接続され、A/D変換器1から出力された信号が入力され、入力された信号に基づき、同相成分及び直交成分のベースバンド信号を出力する。

【0004】3は受信フィルタであり、これもまた受信部のひとつを構成する。この受信フィルタ3は、デジタル直交検波回路2に接続され、デジタル直交検波回路2から出力されたベースバンド信号が入力され、波形を整形したり、帯域外の雑音を除去する。

【0005】4はビットタイミング推定回路（Bit Timing Recovery、以下BTRと称する）であり、補正パラメータ出力部のひとつを構成する。このBTR4は、受信フィルタ3に接続され、受信フィルタ3から出力された信号が入力され、入力された信号に基づき、判定点（以下ナイキスト点と称する）のタイミングを推定し、補正パラメータとして出力する。

【0006】5は補間処理部であり、復調情報出力部のひとつを構成する。この補間処理部5は、受信フィルタ3及びBTR4に接続され、受信フィルタ3から出力された信号及びBTR4から出力された信号が入力され、受信フィルタ3から出力された信号を、BTR4から出力された信号に基づき、ナイキスト点のタイミングでの信号を生成する。

【0007】6は第一の乗算器であり、これも復調情報出力部のひとつを構成する。この第一の乗算器6は、補間処理部5及び自動周波数制御回路（Automatic Frequency Control、以下AFCと称する）7に接続され、補間処理部5から出力された信号及びAFC7から出力さ

れた信号が入力され、補間処理部5より出力された信号から、AFC7より出力された信号の成分を除去する。

【0008】AFC7は、これも補正パラメータ出力部のひとつを構成する。このAFC7は、第一の乗算器6に接続され、第一の乗算器6から出力された信号が入力され、入力された信号に基づき、入力された信号の周波数の偏差を推定し、この周波数偏差に基いた信号を補正パラメータとして出力する。

【0009】8は搬送波位相推定回路 (Carrier Recovery、以下CRと称する) であり、これもまた補正パラメータ出力部のひとつを構成する。このCR8は、第一の乗算器6に接続され、第一の乗算器6から出力された信号が入力され、入力された信号に基づき、位相差を推定し、この位相差に基づいた信号を補正パラメータとして出力する。

【0010】9は第二の乗算器であり、これもまた復調情報出力部のひとつを構成する。この第二の乗算器9は、第一の乗算器6及びCR8に接続され、第一の乗算器

$$I_c(nT) = I(nT) \cos(\Delta \omega nT + \theta) - Q(nT) \sin(\Delta \omega nT + \theta)$$

$$Q_c(nT) = Q(nT) \cos(\Delta \omega nT + \theta) + I(nT) \sin(\Delta \omega nT + \theta)$$

式(1)において、 $I(nT)$ は、変調器から出力される信号の同相成分である。また、 $Q(nT)$ は、変調器から出力される信号の直交成分である。

【0014】 T は、ディジタル直交検波回路2から出力される同相成分の信号及び直交成分の信号を出力するサンプリング周期を示す。通常、このサンプリング周期 T は、受信された信号に含まれ、変調器が含まれる送信側及び復調器が含まれる受信側が共に認識している固定パターンであるユニークワード (Unique Word、以下UWと称する) が検出されるナイキスト周期の $1/4$ 程度に設定される。

【0015】サンプリング周期 T は、受信信号のナイキスト周期とは同期しておらず、サンプリングされたデータに、ナイキスト点でサンプリングされたデータが含まれているとは限らない。

また、 $\Delta \omega$ は、同相成分及び直交成分の信号の周波数偏差成分である。さらに、 θ は、同相成分及び直交成分の信号の初期位相差である。また、 n は、周期 T での n 番目のサンプル時を示す。

【0016】ディジタル直交検波回路2から出力されたベースバンド信号は、受信フィルタ3に入力され、波形を整形したり、帯域外の雑音が除去される。受信フィルタ3から出力された信号は、BTR4に入力され、入力された信号に基づき、ナイキスト点のタイミングを推定する。

【0017】受信フィルタ3から出力された信号及びB

$$I_s(mT_s) = I(mT_s) \cos(\Delta \omega mT_s + \theta_s) - Q(mT_s) \sin(\Delta \omega mT_s + \theta_s)$$

$$Q_s(mT_s) = Q(mT_s) \cos(\Delta \omega mT_s + \theta_s) + I(mT_s) \sin(\Delta \omega mT_s + \theta_s)$$

器6から出力された信号及びCR8から出力された信号が入力され、第一の乗算器6より出力された信号から、CR8より出力された信号の成分を除去し、同期検波を行う。

【0011】次に、図7に示す復調器の動作について説明する。

まず、変調器から出力されたIF信号が、A/D変換器1に入力され、A/D変換される。A/D変換器1から出力された信号は、ディジタル直交検波回路2に入力され、入力された信号に基づき、同相成分の信号及び直交成分の信号を出力する。

【0012】ディジタル直交検波回路2は、入力された信号をベースバンド信号の同相成分 $I_c(nT)$ 及びベースバンド信号の直交成分 $Q_c(nT)$ に変換し出力する。この時、出力される出力信号には、準同期検波が、行われている。

【0013】ディジタル直交検波回路2から出力される出力信号は、次式(1)で表わされる。

(1)

TR4から出力された信号は、補間処理部5に入力される。この補間処理部5では、受信フィルタ3から出力された信号と、BTR4から出力されたナイキスト点のタイミング情報とを用いて、補間処理によりナイキスト点での信号を生成し、出力する。

【0018】補間処理の方法としては、例えば、ラグランジェの1次補間、2次補間などが知られているが、より高次の補間処理の方法を用いてもよい。

図8に補間処理部5の処理動作の一例を示す。

補間処理部5には、サンプリング周期 T でサンプリングされた信号が入力され、その信号が、ナイキスト点のタイミングでサンプリングされておらず、時刻 $n-1$ から $n+2$ まで示されている。

【0019】そして、BTR4から出力されたナイキスト点のタイミング情報によって、ナイキスト点が図8に示されるタイミングであると推定された場合、そのナイキスト点のタイミングの前のタイミング(n)でサンプリングされたデータ(I_n)と、ナイキスト点のタイミングの後のタイミング($n+1$)でサンプリングされたデータ(I_{n+1})と、BTR4から出力されたナイキスト点のタイミング情報とに基づき、ナイキスト点でサンプリングしたならば検出されると推定される信号(I_m)を生成し、出力する。

【0020】補間処理部5から出力される出力信号は以下の式(2)で示される。

(2)

(4)

式(2)において、 T_s はナイキスト周期である。 θ_n はナイキスト点でサンプリングした信号における位相差成分である。 $I_n(mT_s)$ は、補間処理部5から出力される同相成分の信号である。また、 $Q_n(mT_s)$ は補間処理部5から出力される直交成分の信号である。さらに、 $I(mT_s)$ は、変調器から出力される信号の同相成分である。また、 $Q(mT_s)$ は、変調器から出力される信号の直交成分である。さらに、 m は、周期 T_s での m 番目のサンプル時を示す。

$$R_n(mT_s) = I_n(mT_s) + jQ_n(mT_s)$$

$$= \{I(mT_s) + jQ(mT_s)\} \exp\{j(\Delta\omega mT_s + \theta_n)\}$$

図中、補間処理部5へ入力されるまでは、ナイキスト周期の1/4程度のサンプリング周期で信号が処理されている。また、補間処理部5以降は、ナイキスト点でサンプリングされた信号が出力されるナイキスト周期で信号が出力されている。

【0022】補間処理部5から出力された信号は、第一の乗算器6

$$C_{rec}(mT_s) = \exp(-j\Delta\omega mT_s)$$

【0023】そして、第一の乗算器6は、補間処理部5より出力された信号(式(2))と、AFC7より出力された信号(式(4))とを掛けあわせて、補間処理部5から出力された信号(式(2))に含まれる周波数偏差

$$R_{rec}(mT_s) = R_n(mT_s) \times C_{rec}(mT_s)$$

$$= \{I(mT_s) + jQ(mT_s)\} \exp(j\theta_n)$$

【0024】第一の乗算器6から出力された信号は、CR8に入力され、入力された信号に基づき、位相差成分 θ_n を推定し、入力された信号の位相差成分を除去する

$$C_a(mT_s) = \exp(-j\theta_n)$$

第一の乗算器6から出力された信号及びCR8から出力された信号は、第二の乗算器9に入力され、第二の乗算器9からは、第一の乗算器6から出力された信号と、CR8から出力された信号とを掛けあわせて、第一の乗算器6から出力された信号に含まれる位相差成分 θ_n を除

$$S(mT_s) = R_{rec}(mT_s) \times C_a(mT_s)$$

$$= I(mT_s) + jQ(mT_s)$$

【0025】

【発明が解決しようとする課題】従来の復調器では、フェージングまたはブロッケージ等が生じることがなく、正常な信号が継続的に入力されている場合は、上述に説明したように、全く問題がない。しかし、フェージングやブロッケージなどが生じて信号が入力されなくなると、UWが検出されなくなり、入力された信号をサンプリングするタイミングが判別できず、信号が入力されていた時に確立していた同期が外れる。そして、同期が外れると、BTR4、AFC7、CR8などは、信号が入力されなくても引き続き入力される雑音等を基に補正パラメータを推定することになり、信号を復調するために用いられる補正パラメータの値は正常時のものとは異なるものが推定される。そこで、フェージングまたはブロッケージ等がなくなり、再び、信号が入力されるようになってからもBTR4、AFC7、CR8などは、はじめは雑音を基に推定した補正パラメータを出力されることになる。そして、BTR4、AFC7、CR8等では、入

た、 $Q(mT_s)$ は、変調器から出力される信号の直交成分である。さらに、 m は、周期 T_s での m 番目のサンプル時を示す。

【0021】そして、補間処理部5から出力される信号を示す式(2)を、複素信号表示すると以下の式(3)で示される、

(3)

の乗算器6を介して、AFC7に入力され、AFC7は、入力された信号に基づき、入力された信号の周波数偏差成分 $\Delta\omega$ を推定し、入力された信号の周波数偏差成分を除去するための信号 $C_{rec}(mT_s)$ を出力する。

即ち、AFC7から出力される信号は、以下の式(4)で示される。

(4)

差成分 $\Delta\omega$ を除去する、

即ち、第一の乗算器6から出力される信号は、以下の式

(5)で示される。

(5)

ための信号 $C_a(mT_s)$ を出力する、

即ち、CR8から出力される信号は、以下の式(6)で示される。

(6)

去し、すなわち同期検波し、同期の確立した検波結果 $S(mT_s)$ が出力される。

即ち、第二の乗算器9から出力される信号は、以下の式(7)で示される。

(7)

力された信号を復調するための補正パラメータを推定するが、雑音を基に推定された補正パラメータから正常な値の補正パラメータに復帰するまでに、受信部からの信号が継続して入力され、推定を繰り返すことにより、復帰が行われた。このようにして、入力された信号を復調するための補正パラメータを推定し直さなければ、入力された信号の同期を確立することも、復調することもできなくなる。このように従来の復調器では、フェージングやブロッケージなどが生じて信号が入力されなくなると、同期を再び確立するまでに時間がかかったり、時には同期を取ることができなくなるなどの問題点があった。

【0026】本発明はこれらの問題を解決するためになされたもので、フェージングやブロッケージなどが生じて信号が入力されなくなっても、BTR4、AFC7、CR8などは、再び信号が入力されるようになった時に、再び同期を取るためのまでの時間を短縮し、高速の同期確立を行うことができる復調器を得ることを目的と

するものである。

【0027】

【課題を解決するための手段】この発明にかかる復調器は、変調器から出力された所定情報を含む通信信号を受信する受信部と、この受信部に接続され、受信部から出力された通信信号に基づき、補正パラメータを出力する補正パラメータ出力部と、受信部及び補正パラメータ出力部に接続され、受信部から出力された通信信号及び補正パラメータ出力部から出力された補正パラメータに基づき、復調情報を出力する復調情報出力部と、この復調情報出力部に接続され、出力された復調情報に所定情報が含まれるか否かを検出し、所定情報が検出された場合には、第一の信号を出力し、所定情報が検出されない場合には、第二の信号を出力する検出部と、この検出部に接続され、検出部から第一の信号が入力された場合には、補正パラメータ出力部から出力される補正パラメータが記憶され、検出部から第二の信号が入力された場合には、記憶されている補正パラメータを補正パラメータ出力部へ出力する記憶部と、を備えるものである。

【0028】また、補正パラメータ出力部は、検出部及び記憶部に接続され、上記検出部から連続して第二の信号が入力された場合、上記記憶部から入力された補正パラメータを出力し、上記検出部から第一の信号が出力された場合、受信部から入力された通信信号に基づき、補正パラメータを出力するものである。

【0029】さらに、検出部に接続され、この検出部から連続して第二の信号が入力された場合に、リセット信号を出力するリセット信号出力部を備えるものである。

【0030】また、補正パラメータは、通信信号の処理タイミングを制御するためのパラメータ、周波数を制御するためのパラメータ、搬送波を制御するためのパラメータ、及び利得を制御するためのパラメータの少なくともひとつとしたものである。

【0031】さらに、所定情報は、変調器から出力された信号に、周期的に挿入された既知の情報である。

【0032】また、この発明にかかる復調器は、変調器から出力された通信信号を受信する受信部と、上記受信部に接続され、上記通信信号に基づき、補正パラメータを出力する補正パラメータ出力部と、上記受信部及び補正パラメータ出力部に接続され、上記通信信号及び上記補正パラメータに基づき、復調情報を出力する復調情報出力部と、上記受信部に接続され、上記通信信号の受信レベルが高い場合には、第一の信号が出力され、上記復調情報の受信レベルが低い場合には、第二の信号が出力されるレベル信号出力部と、上記レベル信号出力部に接続され、上記第一の信号が入力された場合には、上記補正パラメータ出力部から出力される補正パラメータが記憶され、上記第二の信号が入力された場合には、記憶されている補正パラメータを上記補正パラメータ出力部へ出力する記憶部と、を備えるものである。

【0033】

【発明の実施の形態】

発明の実施の形態1. 本発明による復調器の一実施形態を図1に示す。図1において、30は、UWを検出する検出部であるUW検出器である。このUW検出器30は、第二の乗算器9に接続され、第二の乗算器9から出力された信号が入力され、入力された信号から受信同期を確立するために予め送信側で通常周期的に挿入される固定パターンであるUWが検出されたか否かを判断し、UWが検出された場合には第一の信号を、UWが検出されなかった場合には第二の信号を、BTRメモリ21、AFCメモリ22、及びCRメモリ23へ出力する。

【0034】BTRメモリ21は、記憶部のひとつを構成する。このBTRメモリ21は、UW検出器30及びBTR4に接続され、UW検出器30から第一の信号が出力された場合には、BTRメモリ21に、BTR4で推定されたナイキスト点のタイミングの情報であるBTRパラメータを記憶し、UW検出器30から第二の信号が出力された場合には、BTRメモリ21に記憶されたBTRパラメータをBTR4へ出力する。

【0035】AFCメモリ22は、記憶部のひとつを構成する。このAFCメモリ22は、UW検出器30及びAFC7に接続され、UW検出器30から第一の信号が出力された場合には、AFCメモリ22に、AFC7で推定された周波数の偏差 $\Delta\omega$ の情報であるAFCパラメータを記憶し、UW検出器30から第二の信号が出力された場合には、AFCメモリ22に記憶されたAFCパラメータをAFC7へ出力する。

【0036】CRメモリ23は、記憶部のひとつを構成する。このCRメモリ23は、UW検出器30及びCR8に接続され、UW検出器30から第一の信号が出力された場合には、CRメモリ23に、CR8で推定された位相差 θ_N の情報であるCRパラメータを記憶し、UW検出器30から第二の信号が出力された場合には、CRメモリ23に記憶されたCRパラメータをCR8へ出力する。なお、図1において、図7に示した従来装置と同一又は相当部分には、同一符号を付してその説明を省略し、図7と相違する部分について説明した。

【0037】次に、図1に示したこの発明の実施の形態1.の動作について説明する。

復調器に入力される信号を補正する処理は、従来と同じなので省略する。第二の乗算器9から出力された信号が、UW検出器30に入力され、入力された信号からUWが検出されたか否かを判断し、UWが検出された場合には第一の信号を出力する。また、フェージングやブロッケージなどにより受信状態が悪くなり、BTR4、AFC7、及びCR8に正しい信号が入力されなくなり、各部分が誤った信号を基に補正パラメータを推定し、誤った補正パラメータを基に入力された信号の復調を行うため、復調できず、UWが検出されなかった場合には、

第二の信号が出力される。

【0038】これら第一の信号及び第二の信号は、BTRメモリ21、AFCメモリ22、及びCRメモリ23へ周期的に出力され、その出力タイミングはBTRメモリ21、AFCメモリ22、及びCRメモリ23の動作タイミング情報として利用される。

【0039】UW検出器30から第一の信号が出力された場合、BTRメモリ21は、BTR4が推定したBTRパラメータを記憶する。また、UW検出器30から第二の信号が出力された場合、BTRメモリ21は、記憶されている最新のBTRパラメータをBTR4へ出力する。BTRメモリ21から出力されたBTRパラメータが入力されたBTR4は、このBTRパラメータを記憶し、記憶されたBTRパラメータを初期値として、入力された信号を基に、さらに推定を施して、処理動作を行う。

【0040】UW検出器30から第一の信号が出力された場合、AFCメモリ22は、AFC4が推定したAFCパラメータを記憶する。また、UW検出器30から第二の信号が出力された場合、AFCメモリ22は、記憶されている最新のAFCパラメータをAFC7へ出力する。AFCメモリ22から出力されたAFCパラメータが入力されたAFC7は、このAFCパラメータを記憶し、記憶されたAFCパラメータを初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。

【0041】UW検出器30から第一の信号が出力された場合、CRメモリ23は、CR8が推定したCRパラメータを記憶する。また、UW検出器30から第二の信号が出力された場合、CRメモリ23は、記憶されている最新のCRパラメータをCR8へ出力する。CRメモリ23から出力されたCRパラメータが入力されたCR8は、このCRパラメータを記憶し、記憶されたCRパラメータを初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。

【0042】また、図2は、図1に示したこの発明の実施の形態1.の動作を示した図である。この図2に基づき動作を説明する、図2において、UW検出状態は、UW検出器30から出力された信号が第一の信号“DET”であるか、第二の信号“MISS”であるかを示している。

【0043】まず、時刻T0で、UW検出器30は、UWを検出し、第一の信号“DET”を出力した。この第一の信号“DET”に基づき、補正パラメータ出力部は制御データとして推定していた補正パラメータD0を、補正パラメータ出力部に接続された記憶部へ出力し、記憶させる。次に、時刻T1でも時刻T0と同様に、記憶部は、補正パラメータ出力部が推定した補正パラメータD1を、補正パラメータ出力部に接続された記憶部に記憶させる。

【0044】続いて、時刻T2では、フェージングやブロッケージ等のため、受信状態が悪くなり、補正パラメータ出力部が誤った信号を基に補正パラメータを推定し、誤った補正パラメータを基に入力された信号の復調を行うため、復調できず、UW信号は検出されなかった。その結果、UW検出器30は、第二の信号“MISS”を出力する。この第二の信号“MISS”に基づき、補正パラメータ出力部が推定した補正パラメータD2は、記憶されることなく、補正パラメータ出力部に接続された記憶部から、時刻T2の直前でUWを検出した時刻T1の補正パラメータD1が、記憶部に接続された補正パラメータ出力部へ出力され、記憶される。

【0045】また、フェージングやブロッケージなどにより受信状態が悪くなり、BTR4、AFC7、及びCR8に正しい信号が入力されなくなり、各部分が誤った信号を基に補正パラメータを推定し、誤った補正パラメータを基に入力された信号の復調を行うため、復調できず、UWが検出されなかった場合には、第二の信号が出力される。そして、補正パラメータが記憶された補正パラメータ出力部は、記憶された補正パラメータD1を初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。

さらに続いて、時刻T3では、UW検出器30は再びUWを検出し、第一の信号“DET”を出力した。この第一の信号“DET”に基づき、補正パラメータ出力部は、改めて推定していた補正パラメータD3を、補正パラメータ出力部に接続された記憶部へ出力し、記憶させる。

【0046】このように図1に示した発明の実施の形態1.における復調器は、図2に基づく動作を行い、A/D変換器1、ディジタル直交検波回路2、受信フィルタ3、BTR4、補間処理部5、第一の乗算器6、AFC7、CR8、第二の乗算器9、UW検出器30、BTRメモリ21、AFCメモリ22、及びCRメモリ23を備えている。

【0047】そして、第二の乗算器9から出力された信号が、UW検出器30に入力され、このUW検出器30は、入力された信号からUWが検出されるか否かを判断し、UWが検出された場合には第一の信号を、UWが検出されなかった場合には第二の信号を、BTRメモリ21、AFCメモリ22、及びCRメモリ23からなる記憶部へ周期的に出力する。

【0048】記憶部に、UW検出器30から第一の信号が入力された場合には、記憶部に接続されたBTR4、AFC7、及びCR8からなる補正パラメータ出力部が推定した補正パラメータを、記憶する。また、記憶部に、UW検出器30から第二の信号が入力された場合には、記憶部に記憶された最新の補正パラメータを、記憶部に接続された補正パラメータ出力部へ出力し、記憶部に接続された補正パラメータ出力部は、記憶部から入力

された各補正パラメータを記憶し、記憶された補正パラメータを初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。

【0049】このため、受信状態が悪く、UW検出器30にUWが検出されなかった場合でも、記憶部から補正パラメータ出力部へ、直前にUWが検出された時の補正パラメータが出力され、補正パラメータ出力部は、入力された補正パラメータを入力された信号に基づき、さらに推定を加えて、新たな補正パラメータを出力するため、受信状態が回復した場合に、正常な補正パラメータに復帰するまでの時間を短縮することができ、再び同期を確立させるまでの時間を短縮することができる。

【0050】なお、入力される信号にビット誤りを検出するための信号が含まれている場合は、このビット誤りを検出するための信号を第二の信号の代わりに用いてもよい。

また、補正パラメータ出力部として、入力される信号の電力を復調器が動作できる範囲に制御する自動利得制御回路を、用いてもよい。さらに、復調する方法として同期検波方法を、例に挙げたが、遅延検波、周波数検波を復調する方法として用いてもよい。

【0051】発明の実施の形態2. 次に、本発明の他の実施の形態について図3を用いて説明する。図3において、UW検出器30は、第二の乗算器9に接続され、第二の乗算器9から出力された信号が入力され、入力された信号からUWが検出されるか否かを判断し、UWが検出された場合には第一の信号を、UWが検出されなかった場合には第二の信号を、BTR4、BTRメモリ21、AFC7、AFCメモリ22、CR8及びCRメモリ23へ出力する。BTRメモリ21はUW検出器30及びBTR4に接続され、UW検出器30から第一の信号が入力された場合には、BTR4が導出したBTRパラメータを記憶し、UW検出器30から第二の信号が入力された場合には、記憶されている最新のBTRパラメータをBTR4へ出力する。

【0052】BTR4は、UW検出器30及びBTRメモリ21に接続され、UW検出器30から第一の信号が入力された場合には、BTRメモリ21へ、導出したBTRパラメータを出力し、UW検出器30から第二の信号が入力された場合には、BTRメモリ21に記憶されたBTRパラメータが入力され、再びUW検出器30から第一の信号が入力されるまで、保存される。また、このBTRは、入力されたBTRパラメータに基づき、処理動作を行う。再び、BTRメモリ21及びBTR4に第一の信号が入力されると、BTR4に記憶されていたBTRパラメータは、BTRメモリ21へ出力され、BTRメモリ21に記憶される。

【0053】AFCメモリ22はUW検出器30及びAFC7に接続され、UW検出器30から第一の信号が入力された場合には、AFC7が導出したAFCパラメータ

を記憶し、UW検出器30から第二の信号が入力された場合には、記憶されている最新のAFCパラメータをAFC7へ出力する。

【0054】AFC7は、UW検出器30及びAFCメモリ22に接続され、UW検出器30から第一の信号が入力された場合には、AFCメモリ22へ、導出したAFCパラメータを出力し、UW検出器30から第二の信号が入力された場合には、AFCメモリ22に記憶されたAFCパラメータが入力され、再びUW検出器30から第一の信号が入力されるまで、保存される。また、このAFCは、入力されたAFCパラメータに基づき、処理動作を行う。

【0055】再び、AFCメモリ22及びAFC7に第一の信号が入力されると、AFC7に記憶されていたAFCパラメータは、AFCメモリ22へ出力され、AFCメモリ22に記憶される。

【0056】CRメモリ23はUW検出器30及びCR8に接続され、UW検出器30から第一の信号が入力された場合には、CR8が導出したCRパラメータを記憶し、UW検出器30から第二の信号が入力された場合には、記憶されている最新のCRパラメータをCR8へ出力する。

【0057】CR8は、UW検出器30及びCRメモリ23に接続され、UW検出器30から第一の信号が入力された場合には、CRメモリ23へ、導出したCRパラメータを出力し、UW検出器30から第二の信号が入力された場合には、CRメモリ23に記憶されたCRパラメータが入力され、再びUW検出器30から第一の信号が入力されるまで、保存される。また、このCRは、入力されたCRパラメータに基づき、処理動作を行う。再び、CRメモリ23及びCR8に第一の信号が入力されると、CR8に記憶されていたCRパラメータは、CRメモリ23へ出力され、CRメモリ23に記憶される。

【0058】なお、図3において、図1に示した実施形態と同一又は相当部分には、同一符号を付してその説明を省略し、図1と相違する部分について説明した。

【0059】次に、図3に示したこの発明の実施の形態2.の動作について説明する。

復調器に入力される信号を補正する処理は、従来と同じなので省略する。第二の乗算器9から出力された信号が、UW検出器30に入力され、入力された信号からUWが検出されたか否かを判断し、UWが検出された場合には第一の信号を出力する。

【0060】また、フェージングやブロックageなどにより受信状態が悪くなり、BTR4、AFC7、及びCR8に正しい信号が入力されなくなり、各部分が誤った信号を基に補正パラメータを推定し、誤った補正パラメータを基に入力された信号の復調を行うため、復調できず、UWが検出されなかった場合には、第二の信号が出力される。

【0061】これら第一の信号及び第二の信号は、BTR4、BTRメモリ21、AFC7、AFCメモリ22、CR8、及びCRメモリ23へ周期的に出力され、その出力タイミングはBTRメモリ21、AFCメモリ22、及びCRメモリ23の受信タイミング情報として利用される。

【0062】UW検出器30から第一の信号が、BTRメモリ21及びBTR4に入力された場合、BTR4が導出したBTRパラメータが、BTR4からBTRメモリ21へ出力され、BTRメモリ21に記憶される。

【0063】また、UW検出器30から第二の信号が、BTRメモリ21及びBTR4に入力された場合、BTRメモリ21に記憶されている最新のBTRパラメータが、BTRメモリ21からBTR4へ出力され、BTR4に記憶される。この場合、BTR4は、記憶されたBTRパラメータをそのまま用いて、処理動作を行う。この処理動作は、再び、これらBTRメモリ21及びBTR4に第一の信号が入力されるまで継続される。再び、BTRメモリ21及びBTR4に第一の信号が入力されると、BTR4に記憶されていたBTRパラメータは、BTRメモリ21へ出力され、BTRメモリ21に記憶される。

【0064】UW検出器30から第一の信号が、AFCメモリ22及びAFC7に入力された場合、AFC7が導出したAFCパラメータが、AFC7からAFCメモリ22へ出力され、AFCメモリ22に記憶される。

【0065】また、UW検出器30から第二の信号が、AFCメモリ22及びAFC7に入力された場合、AFCメモリ22に記憶されている最新のAFCパラメータが、AFCメモリ22からAFC7へ出力され、AFC7に記憶される。この場合、AFC7は、記憶されたAFCパラメータをそのまま用いて、処理動作を行う。この処理動作は、再び、これらAFCメモリ22及びAFC7に第一の信号が入力されるまで継続される。再び、AFCメモリ22及びAFC7に第一の信号が入力されると、AFC7に記憶されていたAFCパラメータは、AFCメモリ22へ出力され、AFCメモリ22に記憶される。

【0066】UW検出器30から第一の信号が、CRメモリ23及びCR8に入力された場合、CR8が導出したCRパラメータが、CR8からCRメモリ23へ出力され、CRメモリ23に記憶される。また、UW検出器30から第二の信号が、CRメモリ23及びCR8に入力された場合、CRメモリ23に記憶されている最新のCRパラメータが、CRメモリ23からCR8へ出力され、CR8に記憶される。この場合、CR8は、記憶されたCRパラメータをそのまま用いて、処理動作を行う。この処理動作は、再び、これらCRメモリ23及びCR8に第一の信号が入力されるまで継続される。再び、CRメモリ23及びCR8に第一の信号が入力され

ると、CR8に記憶されていたCRパラメータは、CRメモリ23へ出力され、CRメモリ23に記憶される。

【0067】また、図4は、図3に示したこの発明の実施の形態2.の動作を示した図である。この図4に基づき動作を説明する。図4において、UW検出状態は、UW検出器30から出力された信号が第一の信号“DET”であるか、第二の信号“MISS”であるかを示している。時刻T0で、UW検出器30は、UWを検出し、第一の信号“DET”を出力した。この時、動作モードは、通常動作“OP”を示している。

【0068】第一の信号“DET”に基づき、補正パラメータ出力部は制御データとして推定していた補正パラメータD0を、補正パラメータ出力部に接続された記憶部へ出力し、記憶させる。時刻T1でも時刻T0と同様に、記憶部は、補正パラメータ出力部が導出した補正パラメータD1を、補正パラメータ出力部に接続された記憶部に記憶させる。

【0069】時刻T2では、フェージングやブロッケージ等のため、受信状態が悪くなり、補正パラメータ出力部が誤った信号を基に補正パラメータを推定し、誤った補正パラメータを基に入力された信号の復調を行うため、復調できず、UW信号は検出されなかった。その結果、UW検出器30は、第二の信号“MISS”を出力する。この時、動作モードは、記憶保持動作“HOLD”を示している。

【0070】この第二の信号“MISS”に基づき、補正パラメータ出力部が導出した補正パラメータD2は、記憶されることなく、補正パラメータ出力部に接続された記憶部から、時刻T2の直前で、UWを検出した時刻T1に記憶された補正パラメータD1が、記憶部に接続された補正パラメータ出力部へ出力され、記憶される。そして、動作モードの記憶保持動作“HOLD”に基づき、記憶された補正パラメータは、再び、補正パラメータ出力部に第一の信号が入力されるまで、入力された値がそのまま記憶、保存される。記憶部から補正パラメータD1が入力された補正パラメータ出力部は、入力された補正パラメータD1をそのまま用いて、処理動作を行う。

【0071】時刻T3となり、再びUW検出器30から第一の信号が出力され、補正パラメータ出力部に第一の信号が入力されると、補正パラメータ出力部の動作モードは通常動作“OP”となり、補正パラメータ出力部が記憶し、保存している補正パラメータD1を、再度、補正パラメータ出力部に接続されている記憶部へ出力し、記憶させる。

【0072】なお、図4において、図2と同一又は相当部分には、同一の表示をしてその説明を省略し、図27と相違する部分について説明した。

【0073】このように図3に示した発明の実施の形態2.における復調器は、図4に基づく動作を行い、A/

D変換器1、ディジタル直交検波回路2、受信フィルタ3、BTR4、補間処理部5、第一の乗算器6、AFC7、CR8、第二の乗算器9、UW検出器30、BTRメモリ21、AFCメモリ22、及びCRメモリ23を備えている。

【0074】そして、第二の乗算器9から出力された信号が、UW検出器30に入力され、このUW検出器30は、入力された信号からUWが検出されるか否かを判断し、UWが検出された場合には第一の信号を、UWが検出されなかった場合には第二の信号を、補正パラメータ出力部及び記憶部へ周期的に出力する。

【0075】UW検出器30から第一の信号が、補正パラメータ出力部及び記憶部に入力された場合、補正パラメータ出力部が導出した補正パラメータが、補正パラメータ出力部から記憶部へ出力され、記憶部に記憶される。

【0076】また、UW検出器30から第二の信号が、補正パラメータ出力部及び記憶部に入力された場合、記憶部に記憶されている最新の補正パラメータが、記憶部から補正パラメータ出力部へ出力され、補正パラメータ出力部に記憶される。この場合、補正パラメータ出力部は、記憶された補正パラメータをそのまま用いて、処理動作を行う。この処理動作は、再び、これら補正パラメータ出力部及び記憶部に第一の信号が入力されるまで継続される。そして、再び記憶部及び補正パラメータ出力部に第一の信号が入力されると、補正パラメータ出力部に記憶されていた補正パラメータは、記憶部へ出力され、記憶部に記憶される。

【0077】このため、受信状態が悪く、UW検出器30にUWが検出されない期間が継続しても、UWが検出された時の補正パラメータを維持し続けて、補正パラメータ出力部を動作させるため、再び受信状態が良好になった場合に、正常な補正パラメータに復帰するまでの時間を短縮することができ、再び同期を確立させるまでの時間を短縮することができる。

【0078】なお、復調器内に複数の補正パラメータ出力部を備えている場合、複数の補正パラメータ出力部すべてが記憶保持動作“HOLD”を行う必要はなく、幾つかの補正パラメータ出力部を選択して記憶保持動作“HOLD”をさせてもよい。

【0079】発明の実施の形態3。次に、本発明の他の実施の形態について図5を用いて説明する。本発明の実施の形態3。は、発明の実施の形態2。にリセット信号生成回路50を加えたものである。図5において、リセット信号生成回路50は、リセット信号出力部であり、UW検出器30に接続されている。

【0080】なお、図5において、図1及び図3に示した実施形態と同一又は相当部分には、同一符号を付してその説明を省略し、図1及び図3と相違する部分について説明した。

【0081】次に、図5に示したこの発明の実施の形態3。の動作について説明する。

復調器に入力される信号を補正する処理は、従来と同じなので省略する。例えば、図5に示した復調器が時変伝送路を利用していた場合、フェージングやブロックageのために所定の期間、UW検出器30から第二の信号が出力される。その後にフェージングやブロックageが解けても、フェージングやブロックageがかかっていた間に伝送路が変わり、復調器に入力された信号を復調するために記憶部に記憶されている補正パラメータが無意味なものとなり、また、BTR4、AFC7、及びCR8に記憶されている補正パラメータは、BTR4、AFC7、及びCR8等に第一の信号が入力されるまで、記憶されている補正パラメータの値のままで継続して処理動作が行われる。このため、UW検出器30から出力される信号は、第二の信号の出力が継続して行われる。そこで、伝送路が変わった後に、入力された信号を復調するためには、改めて補正パラメータを推定しなおさなければならないことがある。このようにある期間、UW検出器30から第二の信号が継続して出力された場合に、リセット信号生成回路50は、リセット信号を復調器全体若しくは復調器の一部分に出力する。このリセット信号が入力された補正パラメータ出力部は、改めて補正パラメータを導出し、復調処理を行う。

【0082】このように図5に示した発明の実施の形態3。における復調器は、A/D変換器1、ディジタル直交検波回路2、受信フィルタ3、BTR4、補間処理部5、第一の乗算器6、AFC7、CR8、第二の乗算器9、UW検出器30、BTRメモリ21、AFCメモリ22、CRメモリ23、及びリセット信号生成回路50を備えている。

【0083】復調器が時変伝送路を利用していた場合、フェージングやブロックageのために所定の期間、UW検出器30から第二の信号が出力され、その後にフェージングやブロックageが解けても、フェージングやブロックageがかかっていた間に伝送路が変わり、記憶部に記憶されている補正パラメータを用いても、入力された信号の復調ができなくなることがある。このようにある期間、UW検出器30から第二の信号が継続して出力された場合に、リセット信号生成回路50は、リセット信号を出力する。このリセット信号が入力された補正パラメータ出力部は、改めて補正パラメータを導出し、復調処理を行う。

【0084】このため、復調器が利用する伝送路が変化し、復調するための補正パラメータが変化しても、記憶されている補正パラメータに左右されることなく、新たな補正パラメータを導出することができる。

【0085】なお、リセット信号に基づきリセットさせるのは、復調器を構成するすべての部分である必要はなく、リセットしない部分を設けてもよい。また、リセッ

ト信号に基づき、復調器を構成する複数の部分にリセットさせるのは、同時である必要はなく、時定数等に応じてリセットタイミングを変えてもよい。

【0086】発明の実施の形態4. 次に、本発明の他の実施の形態について図6を用いて説明する。図6において、40は、検出部であるRSSI情報検出器である。このRSSI情報検出器40は、受信フィルタ3に接続され、受信フィルタ3から出力された信号が入力され、入力された信号に占める雑音の割合を検出し、入力された信号に雑音の占める割合が低い状態で受信レベルとしては高い場合には第一の信号を、入力された信号に雑音の占める割合が高い状態で受信レベルとしては低い場合には第二の信号を、BTRメモリ21、AFCメモリ22、及びCRメモリ23へ出力する。

【0087】BTRメモリ21は、RSSI情報検出器40及びBTR4に接続され、RSSI情報検出器40から第一の信号が入力された場合には、BTR4が導出したBTRパラメータが入力され、記憶される。また、BTRメモリ21は、RSSI情報検出器40から第二の信号が入力された場合には、BTRメモリ21に記憶されている最新のBTRパラメータをBTR4へ出力する。

【0088】AFCメモリ22は、RSSI情報検出器40及びAFC7に接続され、RSSI情報検出器40から第一の信号が入力された場合には、AFC7が導出したAFCパラメータが入力され、記憶される。また、AFCメモリ22は、RSSI情報検出器40から第二の信号が入力された場合には、AFCメモリ22に記憶されている最新のAFCパラメータをAFC7へ出力する。

【0089】CRメモリ23は、RSSI情報検出器40及びCR8に接続され、RSSI情報検出器40から第一の信号が入力された場合には、CR8が導出したCRパラメータが入力され、記憶される。また、CRメモリ23は、RSSI情報検出器40から第二の信号が入力された場合には、CRメモリ23に記憶されている最新のCRパラメータをCR8へ出力する。

【0090】なお、図6において、図1、図3、及び図5に示した実施形態と同一又は相当部分には、同一符号を付してその説明を省略し、図1、図3及び図5と相違する部分について説明した。

【0091】次に、図6に示したこの発明の実施の形態4. の動作について説明する。

復調器に入力される信号を補正する処理は、従来と同じなので省略する。図6において、受信フィルタ3から出力された信号は、RSSI情報検出器40に入力され、入力された信号に占める雑音の割合を検出し、入力された信号に雑音の占める割合が低い場合には第一の信号を出力する。

【0092】また、フェージングやブロックageなどに

より受信状態が悪く、入力された信号に雑音の占める割合が高い場合には、第二の信号が出力される。これら第一の信号及び第二の信号は、BTRメモリ21、AFCメモリ22、及びCRメモリ23へ周期的に出力される。

【0093】RSSI情報検出器40から第一の信号が出力された場合、BTRメモリ21は、BTR4が推定したBTRパラメータを記憶する。また、RSSI情報検出器40から第二の信号が出力された場合、BTRメモリ21は、記憶されている最新のBTRパラメータをBTR4へ出力する。

【0094】BTRメモリ21から出力されたBTRパラメータが入力されたBTR4は、このBTRパラメータを記憶し、記憶されたBTRパラメータを初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。RSSI情報検出器40から第一の信号が出力された場合、AFCメモリ22は、AFC7が推定したAFCパラメータを記憶する。

【0095】また、RSSI情報検出器40から第二の信号が出力された場合、AFCメモリ22は、記憶されている最新のAFCパラメータをAFC7へ出力する。AFCメモリ22から出力されたAFCパラメータが入力されたAFC7は、このAFCパラメータを記憶し、記憶されたAFCパラメータを初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。

【0096】RSSI情報検出器40から第一の信号が出力された場合、CRメモリ23は、CR8が推定したCRパラメータを記憶する。また、RSSI情報検出器40から第二の信号が出力された場合、CRメモリ23は、記憶されている最新のCRパラメータをCR8へ出力する。CRメモリ23から出力されたCRパラメータが入力されたCR8は、このCRパラメータを記憶し、記憶されたCRパラメータを初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。

【0097】このように図6に示した発明の実施の形態4. における復調器は、図6に基づく動作を行い、A/D変換器1、デジタル直交検波回路2、受信フィルタ3、BTR4、補間処理部5、第一の乗算器6、AFC7、CR8、第二の乗算器9、RSSI40、BTRメモリ21、AFCメモリ22、及びCRメモリ23を備えている。

【0098】そして、第二の乗算器9から出力された信号が、RSSI情報検出器40に入力され、入力された信号の受信レベルを検出し、入力された信号に雑音の占める割合が低い場合には第一の信号が出力される。

【0099】また、フェージングやブロックageなどにより受信状態が悪く、入力された信号に雑音の占める割合が高い場合には、第二の信号が出力される。これら第一の信号及び第二の信号は、BTRメモリ21、AFCメモリ22、及びCRメモリ23へ周期的に出力され

る。

【0100】BTRメモリ21、AFCメモリ22、及びCRメモリ23の記憶部は、RSSI情報検出器40から第一の信号が出力された場合には、記憶部に接続された補正パラメータ出力部が推定した補正パラメータが入力され、記憶される。また、記憶部は、RSSI情報検出器40から第二の信号が出力された場合には、記憶部に記憶されている最新の補正パラメータを記憶部に接続された補正パラメータ出力部へ出力する。

【0101】補正パラメータ出力部は、記憶部から出力された各補正パラメータが入力され、記憶される。また、この補正パラメータ出力部は、記憶された補正パラメータを初期値として、入力された信号を基に、さらに推定を施し、処理動作を行う。

【0102】このため、復調器は、受信状態が悪く、第二の信号が出力された場合でも、第一の信号が出力された時の補正パラメータを用いて動作するため、再び受信状態が良好になった場合に、正常な補正パラメータに復帰するまでの時間を短縮することができ、再同期するまでの時間を短縮することができる。

【0103】

【発明の効果】以上のように、本発明における復調器は、変調器から出力された所定情報を含む通信信号を受信する受信部と、この受信部に接続され、受信部から出力された通信信号に基づき、補正パラメータを出力する補正パラメータ出力部と、受信部及び補正パラメータ出力部に接続され、受信部から出力された通信信号及び補正パラメータ出力部から出力された補正パラメータに基づき、復調情報を出力する復調情報出力部と、この復調情報出力部に接続され、出力された復調情報に所定情報が含まれるか否かを検出し、所定情報が検出された場合には、第一の信号を出力し、所定情報が検出されない場合には、第二の信号を出力する検出部と、この検出部に接続され、検出部から第一の信号が入力された場合には、補正パラメータ出力部から出力される補正パラメータが記憶され、検出部から第二の信号が入力された場合には、記憶されている補正パラメータを補正パラメータ出力部へ出力する記憶部と、を備えており、入力された通信信号に含まれる所定情報が検出部に検出される間、入力された通信信号を復調するために必要な補正パラメータが記憶部に記憶され、入力された通信信号に含まれる所定情報が検出部に検出されなくなった時、記憶部に記憶されている補正パラメータを補正パラメータ出力部に出力し、入力された補正パラメータを初期値として、入力された信号を基に、補正パラメータ出力部は、さらに推定を施して処理動作を行うため、受信状態が回復した場合に、正常な補正パラメータに復帰するまでの時間を短縮することができ、再び同期を確立させるまでの時間を短縮することができる。

【0104】また、本発明における復調器は、補正パラ

メータ出力部を備え、この補正パラメータ出力部は、検出部及び記憶部に接続され、上記検出部から連続して第二の信号が入力された場合、上記記憶部から入力された補正パラメータを出力し、上記検出部から第一の信号が出力された場合、受信部から入力された通信信号に基づき、補正パラメータを出力し、入力された通信信号に含まれる所定情報が検出部に検出される間、入力された通信信号を復調するために必要な補正パラメータが記憶部に記憶され、入力された通信信号に含まれる所定情報が検出部に検出されない間、記憶部に記憶されている補正パラメータを補正パラメータ出力部に出力し、補正パラメータ出力部は、入力された補正パラメータを保存し、その値をそのまま用いて動作するため、受信状態が回復した場合に、正常な補正パラメータに復帰するまでの時間を短縮することができ、再び同期を確立させるまでの時間を短縮することができる。

【0105】さらに、本発明における復調器は、検出部に接続され、この検出部から連続して第二の信号が入力された場合に、リセット信号を出力するリセット信号出力部を備えており、通信信号が入力され、その通信信号に含まれる所定情報が検出されている時は、通信信号を復調させるために必要な補正パラメータが記憶部に記憶され、通信信号が入力されない等、所定情報が検出されない時には、記憶部に記憶されている補正パラメータを基に補正パラメータ出力部を動作させるが、受信状態が回復しても、補正パラメータ出力部に記憶された補正パラメータを基には、入力された信号を復調することができず、UW検出器30から継続して第二の信号が出力された時には、リセット信号を出力するため、早期に新たな補正パラメータを導出し直し、入力された通信信号を復調させることができる。

【0106】また、本発明における復調器で算出される補正パラメータは、通信信号の処理タイミングを制御するためのパラメータ、周波数を制御するためのパラメータ、搬送波を制御するためのパラメータ、及び利得を制御するためのパラメータの少なくともひとつであるため、既存の復調器で算出されている補正パラメータを利用することができる。

【0107】さらに、本発明における復調器が検出する所定情報は、変調器から出力された信号に、周期的に挿入された既知の情報であるため、変調器から出力された信号が、復調器に入力されているか否かを容易に判断することができる。

【0108】また、本発明における復調器は、変調器から出力された通信信号を受信する受信部と、上記受信部に接続され、上記通信信号に基づき、補正パラメータを出力する補正パラメータ出力部と、上記受信部及び補正パラメータ出力部に接続され、上記通信信号及び上記補正パラメータに基づき、復調情報を出力する復調情報出力部と、上記受信部に接続され、上記通信信号の受信レ

レベルが高い場合には、第一の信号が出力され、上記復調情報の受信レベルが低い場合には、第二の信号が出力されるレベル信号出力部と、上記レベル信号出力部に接続され、上記第一の信号が入力された場合には、上記補正パラメータ出力部から出力される補正パラメータが記憶され、上記第二の信号が入力された場合には、記憶されている補正パラメータを上記補正パラメータ出力部へ出力する記憶部と、を備えており、入力された通信信号の受信レベルが高いと検出部に検出される間、入力された通信信号を復調するために必要な補正パラメータが記憶部に記憶され、入力された通信信号の受信レベルが低いと検出部に検出されなくなった時、記憶部に記憶されている補正パラメータを補正パラメータ出力部に出力し、入力された補正パラメータを初期値として、入力された信号を基に、補正パラメータ出力部はさらに推定を施して処理動作を行うため、受信状態が回復した場合に、正常な補正パラメータに復帰するまでの時間を短縮することができ、再び同期を確立させるまでの時間を短縮することができる。

【図面の簡単な説明】

【図1】実施の形態1.を示す構成ブロック図である。

【図2】実施の形態1.の動作を示す図である。

【図3】実施の形態2.を示す構成ブロック図である。

【図4】実施の形態2.の動作を示す図である。

【図5】実施の形態3.を示す構成ブロック図である。

【図6】実施の形態4.を示す構成ブロック図である。

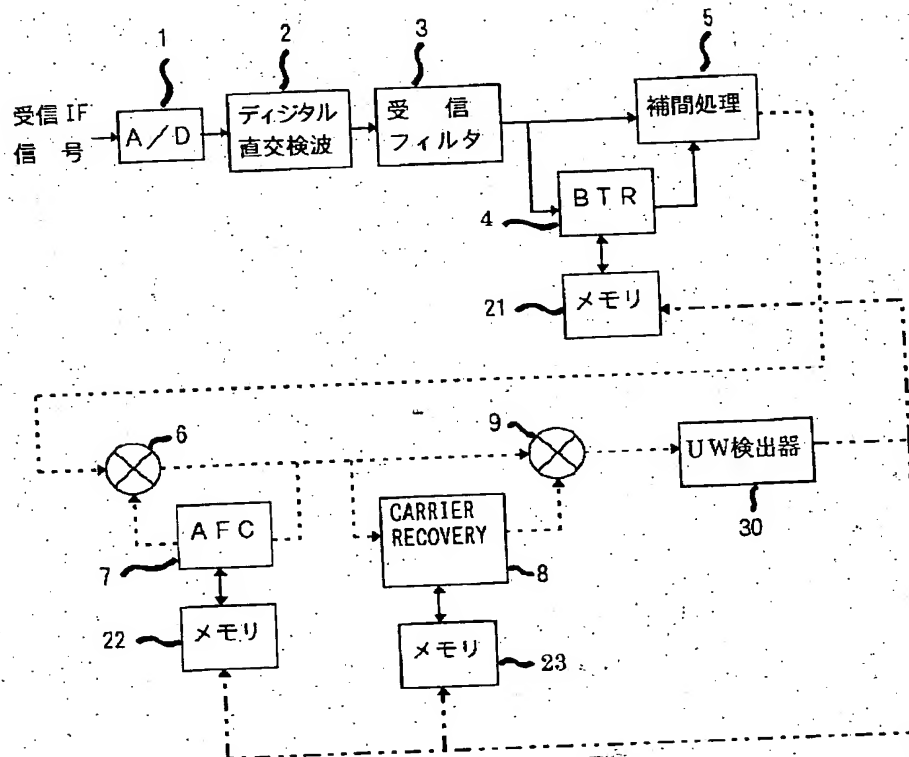
【図7】従来例を示す構成ブロック図である。

【図8】補間処理の動作を示す図である。

【符号の説明】

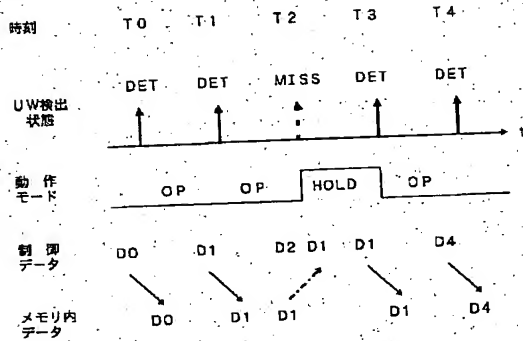
- 1 A/D変換器
- 2 デジタル直交検波回路
- 3 受信フィルタ
- 4 ビットタイミング推定回路 (BTR)
- 5 補間処理部
- 6 第一の乗算器
- 7 自動周波数推定回路 (AFC)
- 8 搬送波位相推定回路 (CR)
- 9 第二の乗算器
- 21 BTRメモリ
- 22 AFCメモリ
- 23 CRメモリ
- 30 UW検出器
- 40 RSSI情報検出器
- 50 リセット信号生成回路

【図1】

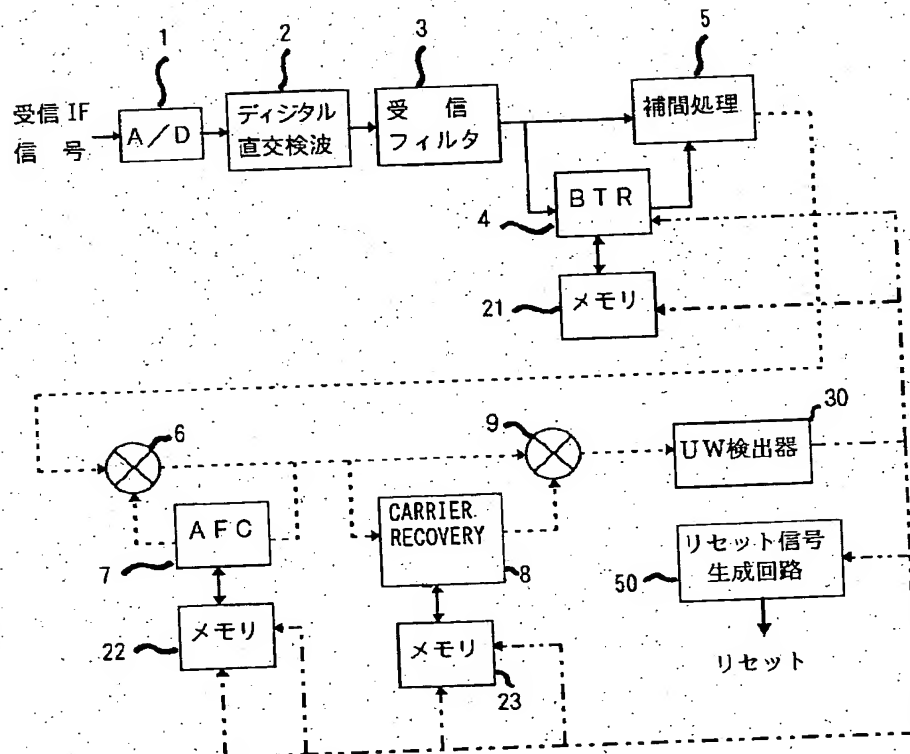


(14)

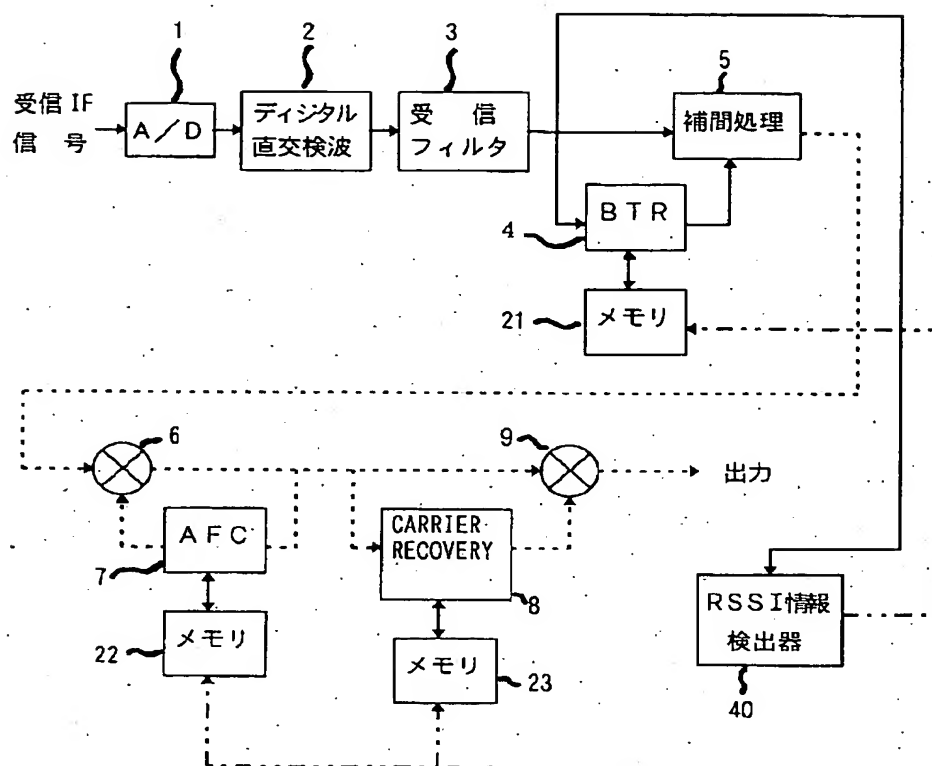
【図4】



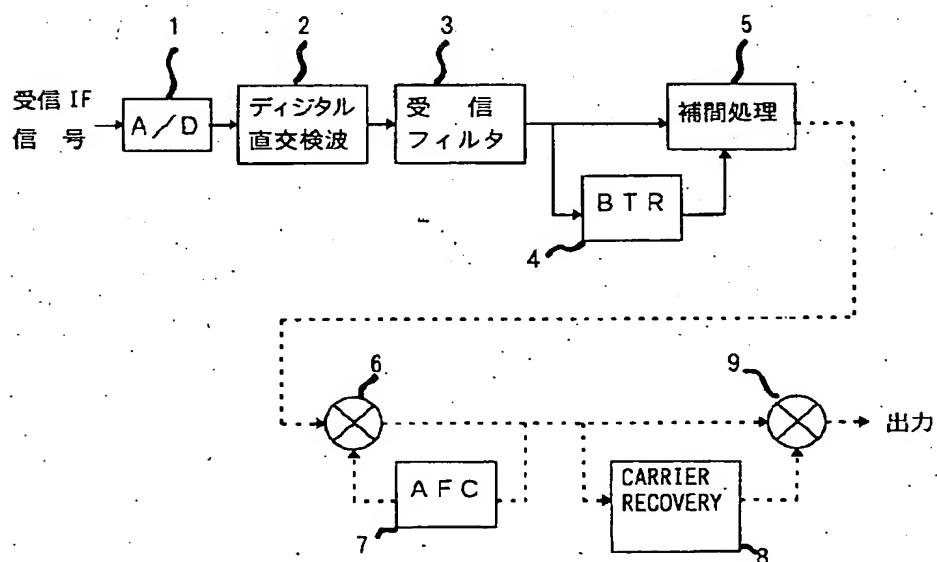
【図5】



【図6】



【図7】



【図8】

